

① 日本国特許庁 (JP)  
② 公開特許公報 (A)

① 特許出願公開  
昭57—153469

③ Int. Cl.<sup>3</sup>  
H 01 L 29/78  
// H 01 L 29/60

識別記号 庁内整理番号  
7377—5 F

④ 公開 昭和57年(1982) 9月22日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑤ 絶縁ゲート形電界効果トランジスタ

浦電気株式会社トランジスタ工場内

⑥ 特 願 昭56—37806

⑦ 発 明 者 大畑有

⑧ 出 願 昭56(1981) 3月18日

川崎市幸区小向東芝町1 東京芝  
浦電気株式会社トランジスタ工場内

⑨ 発 明 者 田辺博仁

川崎市幸区小向東芝町1 東京芝  
浦電気株式会社トランジスタ工場内

⑩ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

⑪ 発 明 者 三輪行信

⑫ 代 理 人 弁理士 井上一男

川崎市幸区小向東芝町1 東京芝

明 細 書

1. 発明の名称

絶縁ゲート形電界効果トランジスタ

2. 特許請求の範囲

絶縁ゲート形電界効果トランジスタにおいて、ゲート電極直下のチャネル領域側のドレイン領域よりも不純物濃度が高くかつキャリアが通過する低抵抗層をドレイン電極に近接して設けることを特徴とする絶縁ゲート形電界効果トランジスタ。

3. 発明の詳細な説明

この発明は絶縁ゲート形電界効果トランジスタにかかり、特に静特性における立上り抵抗を低くした絶縁ゲート形電界効果トランジスタの改良構造に関する。

絶縁ゲート形電界効果トランジスタは従来、低電圧、小電流素子として用いられていたが、近年、高耐圧、大電流素子として注目されるようになった。そして、構造としては高耐圧化が容易な二重拡散型が一般に用いられている。

一般的な二重拡散型絶縁ゲート電界効果トラン

ジスタ(以下DMOSと略称する)における素子の構造を第1図に示す。図において、(1)はN<sup>+</sup>型シリコン基板で、これにエピタキシャルN<sub>1</sub>層(2)を形成した基板の該N<sub>1</sub>層(2)に1つの拡散マスクを用いてP型、およびN<sup>+</sup>型不純物を拡散する、いわゆる二重拡散によつてベース領域(3)およびソース領域(4)が形成されており、これで生ずる拡散差(特に基板の主面に沿う部分)がチャネル領域となるので、その上にゲート酸化膜(5)を形成する。次に全面に金属層を被着しパターン化して前記ゲート酸化膜上にゲート電極(6G)、ソース領域(4)上にソース電極(6S)が夫々形成され、また、他方の主面にはドレイン電極(6D)が形成される。

上に述べた構造のDMOSにおいては、ベース領域とエピタキシャル層とでは前者の方が不純物濃度が大きいため、ドレイン電圧を増加すると生ずる空乏層はエピタキシャル層の方へ伸び、チャネル領域でのペナチスルーによる耐圧劣化を防ぐことができる。これからしてチャネル長が短くともベース領域とエピタキシャル層とのPN接合

部でドレイン耐圧がきまるような高耐圧の素子形成が可能と考えられる。さらに短いチャンネル長およびドレイン領域の形成により集積度を高め大電流化が可能と考えられる。次にDMOSの静特性における立上り抵抗はソース電極からチャンネル領域を通りドレイン電極に至るまでの直列抵抗によつてきまる。いま、ソースからドレイン電極に至る電流の通路をドレイン領域内にかぎり図に破線で示すとその第1は、対向するベース領域間の領域(A)に電流集中が見られ、第2は前記(A)の直下で電流がベース領域の下まで拡がっている領域(B)であり、第3は基板の $N^+$ 層(1)近傍で基体の全体に拡がっている領域(C)である。すなわち、電流に対する抵抗の領域を上記3成分に分類し、耐圧の低下を生ずることなく抵抗値を低減する構造を提供する目的でこの発明がなされている。

この発明にかかるIG-FETは、ドレイン電極に近接してゲート電極直下のチャンネル領域側のドレイン領域よりも不純物濃度が高く、かつキャリアが通過する低抵抗層を備えたことを特徴とする。

く耐圧低下を来らす。すなわち、耐圧についてはすでに述べたように、ベース領域とドレイン領域とのPN接合部の電界集中によつてきまるのである。これについてさらに第3図によつて詳述する。第3図は低抵抗層を形成したときのステップ接合による電界分布図を示すもので、X方向は素子表面からの距離、Y方向は電界強度であり、耐圧は図中斜線を付した領域の面積できまる。これにより、領域(A)、(B)は全体の面積に対する割合が大きく、領域(A)、(B)を低抵抗にすると耐圧が低下することになつて好ましくないけれども、本発明のように高濃度不純物層(2)を設けることによつて、領域(C)を低抵抗化しても耐圧低下への影響は少ないのである。

次にこの発明の別の1実施例を第4図に示す。この実施例はエピタキシャル $N_2$ 層(2)に形成されたこの $N_2$ 層よりも高不純物濃度の低抵抗層(3)が $N^+$ 型シリコン基板(1)側へ順次高濃度の積層層(32a)、(32b)…よりなっている。

上に述べた各実施例はいずれもDMOSに関する

る。

次にこの発明を1実施例につき詳細に説明する。なお、低抵抗層およびこれが設けられたドレイン領域の他は従来と変わらないので、図面に同じ符号を付して示し説明を省略する。この1実施例は第2図に示されるように、エピタキシャル $N_2$ 層(2)が $N^+$ 型シリコン基板(1)と接する界面にこのエピタキシャル $N_2$ 層よりも高い不純物濃度のエピタキシャル $N_2$ 層(2)が形成され、ソースからドレイン電極に至る電流を通過させるようになつている。なお、前記エピタキシャル $N_2$ 層(2)は $N^+$ 型シリコン基板側へ順次高濃度に形成された積層層でもよい。

上に述べた構造によれば、すでに述べたソースからドレイン電極に至る電流の経路のうち領域(C)における抵抗成分は $\rho_N \cdot t_N / A$ で表わされる。ここで $\rho_N$ はエピタキシャル層の固有抵抗、 $t_N$ はエピタキシャル層の厚さ、 $A$ は領域の面積である。そして上述の高い不純物濃度層(2)を設けることにより領域(C)の抵抗が低減されるが耐圧は低下させることなく、領域(A)および(B)を低抵抗化すると著るし

ものであるが、チャンネル形成をV字溝に形成したV字溝型絶縁ゲート電界効果トランジスタ(VMOSと略称)についてもDMOSと同様に構成され、また、その奏する効果も変わらない。VMOSを第5図に示すが、図中、DMOSに対応する部分は同じ符号にダッシュを付して示し、(2)が低抵抗層であり、これは上記第2番目の実施例に示したように積層層(図示省略)でもよいことはいふまでもない。

この発明によれば、ドレイン領域における $N^+$ 型シリコン基板側に高濃度の低抵抗層を設け、この層にソースからドレイン領域に至る電流を通過させるようにしてなるので、DMOS、VMOSの高耐圧を活かすとともに静特性の立上り抵抗を低減してより大電流化、高能率化した素子が形成できるという顕著な利点がある。

#### 4. 図面の簡単な説明

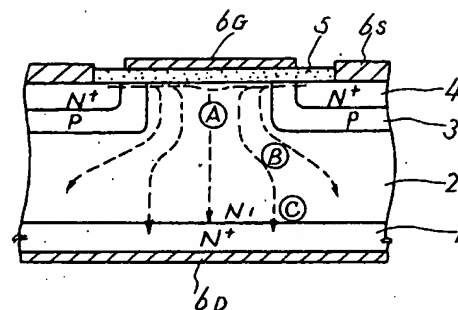
第1図は従来のDMOSの要部の断面図、第2図は本発明の1実施例のDMOSの要部の断面図、第3図はDMOSの耐圧を説明するための線図、第4図は本発明の別の1実施例のDMOSの要部の断面

図、第5図は本発明のさらに別の1実施例のVMOSの要部の断面図である。

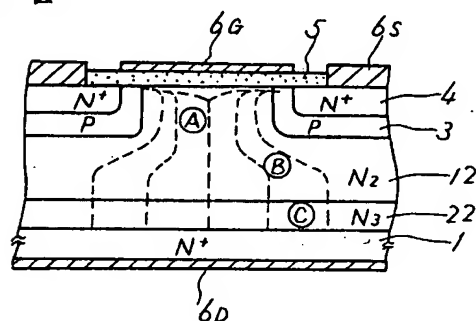
第 1 図

- 1 ..... シリコン基板 ( $N^+$ )
- 2 ..... エピタキシャル  $N_1$  層
- 3 ..... ベース領域
- 4 ..... ソース領域
- 5B ..... ソース電極
- 5D ..... ドレイン電極
- 5G ..... ゲート電極
- 12 ..... エピタキシャル  $N_2$  層
- 22 ..... エピタキシャル  $N_3$  層 (低抵抗層)
- 32 ..... 低抵抗層
- 42 ..... (VMOSの) 低抵抗層

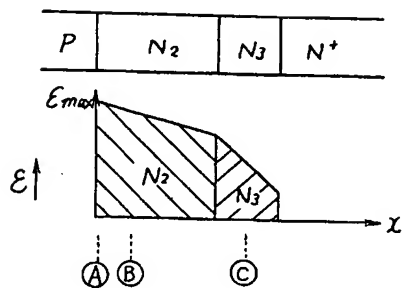
代理人 弁理士 井 上 - 男



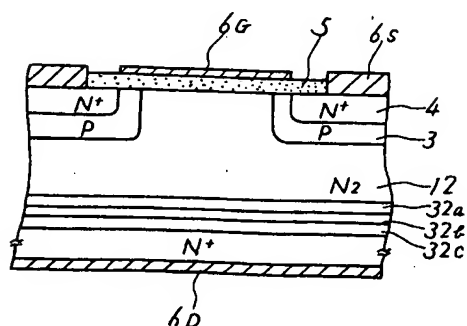
第 2 図



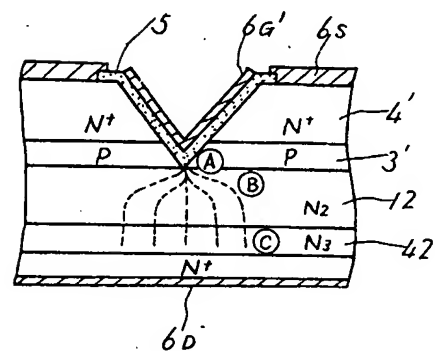
第 3 図



第 4 図



第 5 図



**MENU**

**SEARCH**

**INDEX**

**JAPANESE**

1 / 1

---

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : **57-153469**  
(43)Date of publication of  
application : **22.09.1982**

---

(51)Int.Cl. **H01L 29/78**  
**// H01L 29/60**

---

(21)Application number :	<b>56-037806</b>	(71) Applicant :	<b>TOSHIBA CORP</b>
(22)Date of filing :	<b>18.03.1981</b>	(72)Inventor :	<b>TANABE HIROHITO</b> <b>MIWA YUKINOBU</b> <b>OHATA TAMOTSU</b>

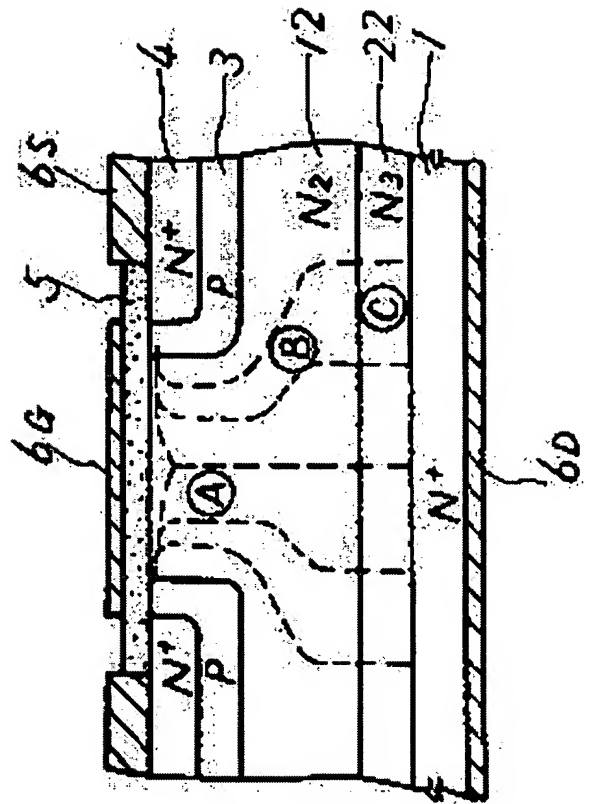
---

**(54) INSULATED GATE TYPE FIELD EFFECT TRANSISTOR**

(57)Abstract:

**PURPOSE:** To reduce a series resistance between source and drain without causing reduction of withstand voltage by a method wherein a low resistance layer having an impurity density higher than a drain layer at the channel side immediately under a gate electrode and through which carrier passes, is provided adjacent to a drain electrode.

**CONSTITUTION:** N3 layer 22 and N2 layer (N2<N3) 12 are in turn formed epitaxially on an N+Si substrate 1 and doubly diffused to form a base 3 and gate 4 and a gate oxide film 5, electrodes 6G, 6S and 6D are provided thereon further to form a GFET. The N3 layer 22 may be formed to increase its density increasingly to the substrate side. According to such a constitution, the resistance component for an area C having an intrinsic resistance  $P_n$ , thickness  $T_n$  and area A of the current paths from the source to the drain region is expressed by  $p_n \cdot t_n / A$  and the resistance in the area C can be reduced without reducing a withstand voltage through the provision of N3 layer 23 of high density. However, the area A and B have a great proportion to the total area and when they are reduced, the withstand voltage is reduced. However, is the high density layer 22 is provided so that the region C is permitted to have a low resistance, the IGFET with a high withstand voltage and a low rising resistance in static character can be obtained regardless of influence from withstand voltage reduction.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office